

一种反熔丝 FPGA 的可配置传输延迟测试电路

杜 涛, 李 威, 晁 醒, 吴方明, 吴华刚, 刘 丹

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 为了对反熔丝 FPGA 进行性能评估及芯片速度等级的定级划分, 提出了采用传输延迟参数测试法进行分析. 针对反熔丝 FPGA 一次可编程及应用需求多样性的特点, 设计了一种包含完整传输延迟影响因素的专用测试电路, 该电路能对测试链路级数、布线长度、散出数等多方面进行差异化配置, 从而形成了具有实用性和通用性的反熔丝 FPGA 性能评估解决方案. 通过电路仿真及 $1.0\ \mu\text{m}$ CMOS ONO 反熔丝工艺硅验证实测表明, 该传输延迟测试电路能实际应用于反熔丝 FPGA 的产品开发.

关键词: 反熔丝 FPGA; 传输延迟; 测试电路; 可配置

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2018)02-0084-05

A Configurable Test Circuit of Propagation Delay for Antifuse FPGA

DU Tao, LI Wei, CHAO Xing, WU Fang-min, WU Hua-gang, LIU Dan

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of
Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: In order to evaluate the performance of the antifuse FPGA and classify the chip speed level, a test method of propagation delay is proposed. Aimed at the characteristics of one time programmable and diverse application requirements for the antifuse FPGA, a novel test circuit is designed, which includes the influencing factors of the propagation delay. The circuit exhibits a variety of configurable capacity, including the test link configuration, the routing length configuration, the fanout value configuration, etc. The performance evaluation solution for the antifuse FPGA is practical and feasible. The results of the circuit simulation and the silicon verification based on the $1.0\ \mu\text{m}$ CMOS ONO antifuse process show that the test circuit of propagation delay is suitable for the application of antifuse FPGA development.

Key words: antifuse FPGA; propagation delay; test circuit; configurable

1 引言

集成电路的传输延迟是指引起输出信号改变的输入信号跳边沿与输出信号跳边沿之间的延迟时间^[1-2]. 传输延迟参数是集中反映可编程逻辑器件性能变化的一项重要评价指标^[2]. 根据传输延迟参数值的不同, 可以对可编程逻辑器件的速度等级进行分类, 以方便用户根据性能指标需求差异选用不同等级器件. 针对反熔丝 FPGA 而言, 传输延迟参数与系统架构、工艺条件、加工批次、反熔丝器件性能、反熔丝器件编程质量及应用设计电路结构等诸多因

素密切相关. 因此, 有必要设计一种能够包含各种影响因素的传输延迟测试专用电路, 以满足反熔丝 FPGA 的性能评估需要. 基于以上考虑, 本文提出了一种带可配置能力的适用于反熔丝 FPGA 的通用型传输延迟测试电路.

2 反熔丝 FPGA 传输延迟的基本构成

反熔丝 FPGA 在应用设计中, 主要是通过可编程 IO 模块、可编程逻辑模块、一次可编程反熔丝互联开关等硬件资源为载体实现用户设计. 应用设计中的信号传输延迟主要由输入 IO 延时、内部逻辑

模块延时、内部布线延时、已编程反熔丝器件延时、输出 IO 延时等构成。

在反熔丝 FPGA 中实现的应用设计,往往还存在各种特定的实际情况,比如信号传输的关键路径逻辑电路级数有大小不一的问题、内部布线有长短不一的问题、各逻辑模块输出端连接的负载有轻重不一的问题、内部互连线上串接的已编程反熔丝器件个数有多少不一的问题等。

基于以上分析,要准确评估反熔丝 FPGA 的速度等级,在测算信号传输延迟的时候,需要充分考虑传输延迟的基本构成元素,以及关键路径长短、布线长短、各模块输出负载轻重、互连线上串接已编程反熔丝器件多少等实际应用情况。

3 反熔丝 FPGA 传输延迟测试电路的设计实现

反熔丝 FPGA 有别于 SRAM 型 FPGA 可反复编程的特点,属于典型的一次可编程器件,因此反熔丝 FPGA 在交付前不得进行应用设计编程。然而,反熔丝 FPGA 在交付前又需要对产品进行速度等级的定级测试。所以,在反熔丝 FPGA 芯片的研制过程中,设计专门的传输延迟测试电路是必要的,而且该测试电路必须覆盖传输延迟的各种构成元素及实际应用情况。测试电路需相对独立,不影响用户资源的一次可编程特性,同时,其自身反熔丝器件可单独编程,以体现反熔丝器件对传输延迟的实际贡献。

传输延迟测试电路常见结构有环形振荡器、反相器链和 buffer 链等^[3-6]。本文测试电路则以逻辑模块+反熔丝构建可编程测试链路,其中逻辑模块用于编程构建 buffer 链,逻辑模块之间插入与反熔丝 FPGA 等同的带反熔丝器件的布线资源。测试电路还引入了可配置设计,以实现反熔丝 FPGA 布线长短、互连线串接已编程反熔丝器件多少、模块输出负载轻重、关键路径长短等实用情况的差异化配置,使传输延迟测试电路具备良好的通用性,能满足反熔丝 FPGA 对传输延迟测试的不同特殊需求。

3.1 整体电路结构与实现原理

传输延迟测试电路的整体结构如图 1 所示,包含输入引脚、输入 IO 模块、测试逻辑模块、反熔丝器件及布线资源、输出 IO 模块、输出引脚等。由于传输延迟测试电路属于非用户资源,其中的输入输出引脚可设计为与普通 IO 复用,通过测试模式配置电路的控制实现引脚功能的切换,避免占用 FPGA 的引脚资源。为了准确反映基于 FPGA 用户资

源的应用设计速度能力,确保传输延迟测试的可信度,测试电路中的 IO 模块和逻辑模块的电路和版图设计沿用 FPGA 用户资源的 IO 模块和逻辑模块相同的结构和尺寸参数,同时,布线资源和反熔丝阵列也保持与 FPGA 用户资源一致。测试电路的逻辑模块级联级数 n 可根据特定反熔丝 FPGA 的具体规模定制,比如千门级规模的反熔丝 FPGA 可定制 12 级左右的逻辑模块。反熔丝 FPGA 在实际应用中是通过反熔丝编程实现模块间的互联互通的,因此传输延迟测试电路的模块间也插入了反熔丝器件,且反熔丝器件数量参照实际应用典型情况设置为 2 个。参数测试前,采用与反熔丝 FPGA 实际应用相同的编程条件对测试电路的反熔丝进行编程,构建与反熔丝 FPGA 实际应用等价的传输延迟测试链路。测试链路中的测试逻辑模块可配置成典型的 buffer 功能,即将测试链路配置成 buffer 链。

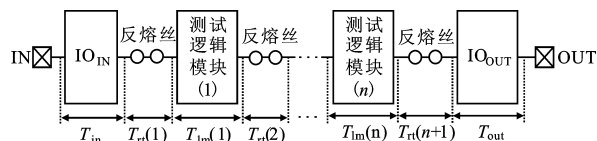


图 1 传输延迟测试电路的整体结构示意图

根据以上分析,结合图 1 可得,传输延迟 T_{pd} 为

$$T_{pd} = T_{in} + \sum_{k=1}^{n+1} T_{rt}(k) + \sum_{k=1}^n T_{lm}(k) + T_{out} \quad (1)$$

式中 T_{in} 为输入模块延时; $T_{rt}(k)$ 为第 k 级互连布线(含已编程反熔丝)的延时; $T_{lm}(k)$ 为测试逻辑模块的延时; T_{out} 为输出模块延时。封装后芯片成品的传输延迟测试时,还包含封装管壳及焊装等因素带来的延时。

3.2 核心单元电路

反熔丝 FPGA 传输延迟测试电路的核心单元为测试链路的可编程测试逻辑模块,为了确保传输延迟测试的可信度,该逻辑模块的设计原则为直接移植 FPGA 的用户可编程逻辑模块,仅做必要的微小改动,以复制用户可编程逻辑模块的延时效应,使测试电路完全等价芯片正常工作时的延迟效果。

本文以最具代表性的反熔丝 FPGA 逻辑模块电路为参考进行电路设计及硅验证。典型反熔丝 FPGA 的用户逻辑模块电路原理图^[7]如图 2(a)所示,主体为三个二选一电路构成的四选一选择器电路,DO-D3 分别为 MUX1 与 MUX2 两个并联二选一选择器的输入,构成一级电路,MUX3 为第二级电路;A0, B0, A1, B1 控制实现四选一电路的通道

选择功能;CP 端为使能端,控制逻辑模块的输入输出端与外部信号的通断状态,用于实现烧录反熔丝器件时隔离编程高压,避免逻辑模块因过压损伤。

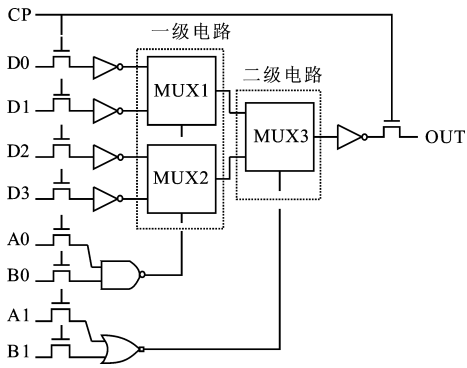
图 2(b)是经过必要微小改动的传输延迟测试电路的测试逻辑模块电路原理图。使能端 CP,除了烧录时控制隔离编程高压外,在 FPGA 正常应用时,控制实现测试电路与用户资源的隔离,达到传输延迟测试电路用户不可见的效果。

MUX1 的两输入分别固定为逻辑电平 1 和 0; A1、B1 端连接的或非门输入端有一个恒 1,故输出恒为 0, MUX3 固定选择 MUX1 的输出信号; A0、B0 控制一级电路的两个 MUX 通道的选择。当 B0 为 1 时,传输延迟测试逻辑模块实现逻辑功能为 $OUT=A0$,即构成一个以 A0 为输入、OUT 为输出的 buffer 电路。由于测试逻辑模块与用户逻辑模块的电路结构相同,测试逻辑模块所构成 buffer 逻辑的传输延迟时间可等价于一个用户逻辑模块的传输延迟时间,即实现了用户可编程逻辑模块延时效应的等价移植。

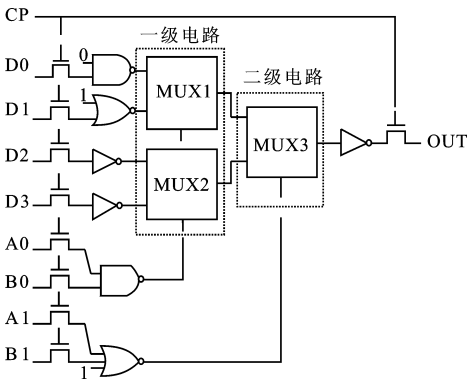
3.3 可配置特性及其实现原理

为了提升设计方案的通用性和可移植性,满足反熔丝 FPGA 参数测试的差异化需求,本文提出的传输延迟测试电路设计了可配置功能。其可配置功能主要包含测试逻辑模块输出端的散出数可配置、测试逻辑模块级联级数可配置、测试电路输入输出信号布线长度可配置等。图 3 给出了传输延迟测试电路的可配置功能具体实现原理图。各种可配置功

能均通过电路中反熔丝器件的物理编程实现。



(a)用户逻辑模块



(b)测试逻辑模块

图 2 反熔丝 FPGA 逻辑模块电路图

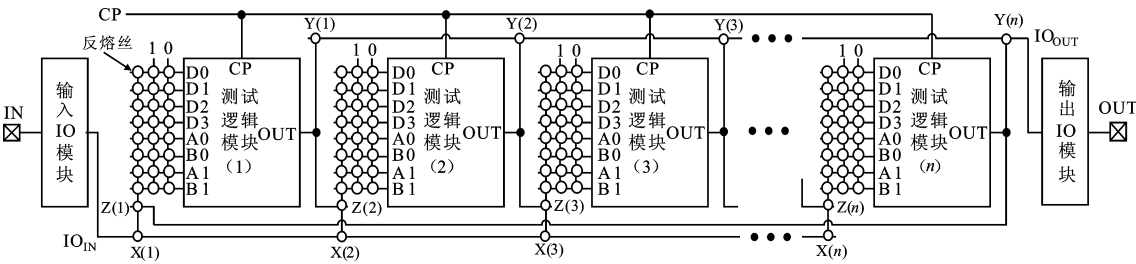


图 3 传输延迟测试电路的可配置实现原理图

(1)测试逻辑模块级联级数可配置

如图 3 所示,传输延迟测试电路的测试逻辑模块的总级数为 n 级, n 的大小可由反熔丝 FPGA 芯片开发者根据特定型号的需要设定。一旦 n 确定后,如果实际测试时仍有调整级联级数需要时,可通过编程不同位置的反熔丝来实现。以 IO_{IN} 通过 X(1)反熔丝接入测试链路时为例;如果 IO_{OUT} 通过编程 Y(1)反熔丝建立连接,则级联级数为 1 级;如果

IO_{OUT} 通过编程 Y(2)反熔丝建立连接,则级联级数为 2 级;如果 IO_{OUT} 通过编程 Y(n)反熔丝建立连接,则级联级数为 n 级。即级联级数能满足 1~ n 全范围内可调的可配置测试需求。

(2)测试电路输入输出信号布线长度可配置

反熔丝 FPGA 在实际应用中,布局布线后时常会遇到较长物理布线的情况,长线的寄生参数更大,对传输延迟参数的影响更明显,当需要获取不同布

线长度传输延迟信息时,同样可通过编程图3中不同位置的反熔丝来实现布线长度调整.以测试链路级联级数固定为 n 级为例:当编程 $X(1)$ 和 $Y(n)$ 反熔丝时,实现的是 IO_{IN} 输入布线和 IO_{OUT} 输出布线为短线;当编程 $X(n)$ 和 $Y(1)$ 反熔丝时,实现的是 IO_{IN} 输入布线和 IO_{OUT} 输出布线为长线;当编程 $X(n/2)$ 和 $Y(n/2)$ 反熔丝时,实现的是 IO_{IN} 输入布线和 IO_{OUT} 输出布线为中长线.

(3) 测试逻辑模块输出端的散出数可配置

实际应用电路设计中,输出信号驱动多个负载的情况是常见的,而负载轻重对信号传输延迟的影响明显,尤其是对反熔丝 FPGA 而言,由于信号布线是通过反熔丝器件串接的,反熔丝器件自身的阻容特性不可忽视,因此,关联于逻辑模块输出端散出数大小的传输延迟测试尤为重要.图3所示的传输延迟测试电路,通过编程不同位置的反熔丝,可实现1~8的不同散出数配置.典型散出数配置如图4所示,图中未给出的其他散出数的配置原理相同.

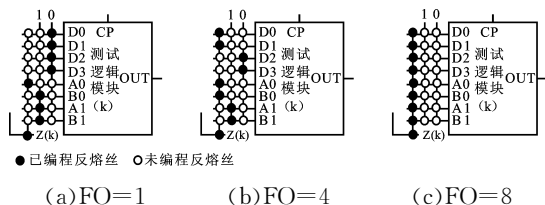


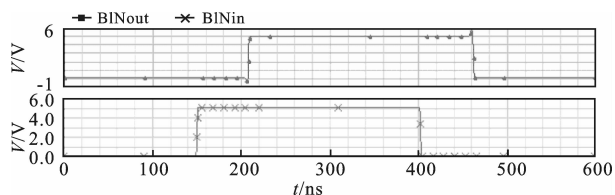
图4 不同散出数(FO)的反熔丝配置图

图4(a)所示为散出数 $FO=1$ 的配置,上一级逻辑模块的输出仅驱动 $A0$ 一个端口,其余七个端口接固定逻辑;图4(b)所示为散出数 $FO=4$ 的配置,上一级逻辑模块的输出驱动 $D0$ 、 $D1$ 、 $A0$ 及 $B0$ 四个端口,其余四个端口接固定逻辑;图4(c)所示为散出数 $FO=8$ 的配置,上一级逻辑模块的输出驱动 $D0$ 、 $D1$ 、 $D2$ 、 $D3$ 、 $A0$ 、 $B0$ 、 $A1$ 及 $B1$ 八个端口.

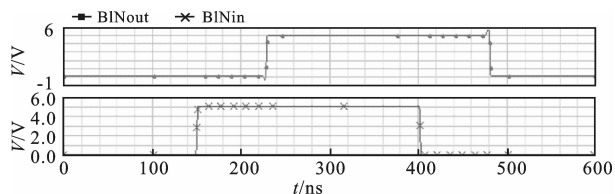
3.4 仿真验证

本文传输延迟测试电路的硅验证实例的测试逻辑模块最大级联级数设计为12级.采用Cadence Spectre进行电路仿真.图5给出了散出数(FO)的三种典型差异化配置(按图4所示配置)时的传输延迟参数仿真结果,其中可配置级联级数设置为12(即12级buffer链).

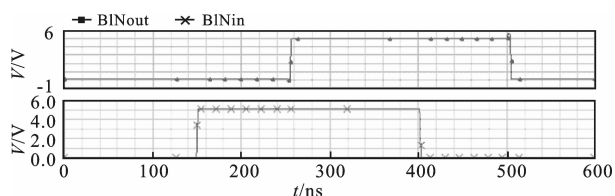
由图5(a)可见,当散出数 $FO=1$ 时,传输延迟的上升沿延时 $t_{PD,LH}=58$ ns,下降沿延时 $t_{PD,HL}=60$ ns;由图5(b)可见,当散出数 $FO=4$ 时,传输延迟的上升沿延时 $t_{PD,LH}=79$ ns,下降沿延时 $t_{PD,HL}=79$ ns,比 $FO=1$ 的小散出时的传输延迟值有所增大;由图5(c)可见,当散出数 $FO=8$ 时,传输延迟的



(a) $FO=1$ 时: $t_{PD,LH}=58$ ns $t_{PD,HL}=60$ ns



(b) $FO=4$ 时: $t_{PD,LH}=79$ ns $t_{PD,HL}=79$ ns



(c) $FO=8$ 时: $t_{PD,LH}=105$ ns $t_{PD,HL}=102$ ns

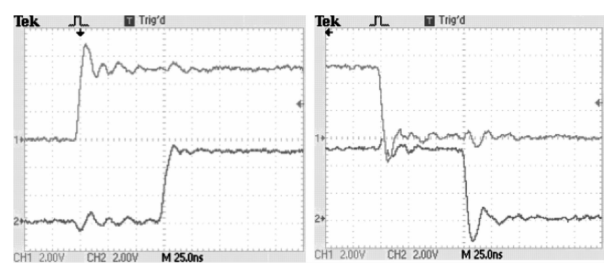
图5 不同散出条件下的传输延迟测试电路仿真波形

上升沿延时 $t_{PD,LH}=105$ ns,下降沿延时 $t_{PD,HL}=102$ ns,即大散出时的传输延迟值进一步增大.从以上仿真结果可见,传输延迟的大小受散出数的影响显著,散出数大小的选择必须与反熔丝FPGA的实际应用相匹配.本文的传输延迟测试电路散出数的可配置设计,通过具体配置,能有效匹配反熔丝FPGA对传输延迟参数的差异化需求.当反熔丝FPGA的应用设计不关心散出能力时,传输延迟测试电路的散出数可配置为 $FO=1$;当需要关注大散出时,传输延迟测试电路的散出数选择 $FO=8$ 的配置为宜;一般应用条件下,则选择常规散出数 $FO=4$ 即可.

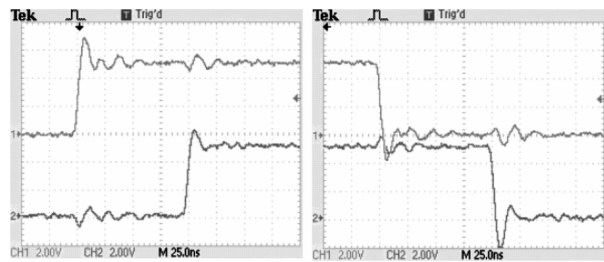
4 实验与结果分析

本设计的硅验证电路采用 $1.0\ \mu\text{m}$ CMOS ONO反熔丝工艺进行版图设计和流片加工,并对流片及封装后的芯片样品进行了传输延迟测试电路的实际测试.图6给出了不同散出数配置条件下,用示波器采集的传输延迟参数实测结果.图6中示波器1通道信号为测试链路输入信号,示波器2通道信号为测试链路输出信号.

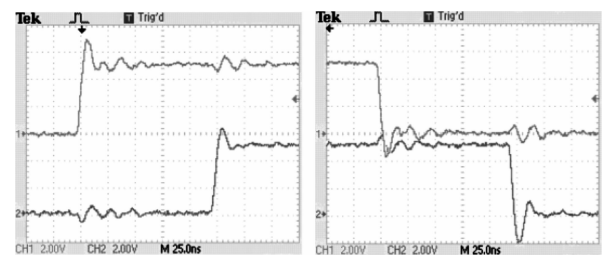
由图6(a)可见,当散出数 $FO=1$ 时,传输延迟的上升沿延时 $t_{PD,LH}=75$ ns,下降沿延时 $t_{PD,HL}=76$ ns;由图6(b)可见,当散出数 $FO=4$ 时,传输延



(a)FO=1 时: $t_{PDLH}=75\text{ ns}$ $t_{PDHL}=76\text{ ns}$



(b)FO=4 时: $t_{PDLH}=98\text{ ns}$ $t_{PDHL}=98\text{ ns}$



(c)FO=8 时: $t_{PDLH}=123\text{ ns}$ $t_{PDHL}=121\text{ ns}$

图 6 不同散出条件下的传输延迟实测波形
迟的上升沿延时 $t_{PDLH}=98\text{ ns}$, 下降沿延时 $t_{PDHL}=98\text{ ns}$, 比 $FO=1$ 的小散出时有所增大; 由图 6(c) 可见, 当散出数 $FO=8$ 时, 传输延迟的上升沿延时 $t_{PDLH}=123\text{ ns}$, 下降沿延时 $t_{PDHL}=121\text{ ns}$, 即大散出时的传输延迟值最大. 实测结果与仿真结果随散出数变化而变化的趋势吻合良好.

不同散出数配置条件下的传输延迟参数仿真结果及实测结果汇总如表 1 所示.

散出数	电路仿真结果		芯片实测结果	
	t_{PDLH}/ns	t_{PDHL}/ns	t_{PDLH}/ns	t_{PDHL}/ns
FO=1	58	60	75	76
FO=4	79	79	98	98
FO=8	105	102	123	121

从表 1 可见, 传输延迟参数随散出数的增加而增加. 表 1 中还发现, 实测结果比仿真结果普遍偏大 18 ns 左右, 引起该差异的主要原因是仿真结果未考虑封装寄生参数, 而实测结果则涵盖了芯片封装的寄生效应, 同时工艺偏差和反熔丝器件编程后的实际阻容特性与仿真模型的差异等因素都对测试结果

有影响. 因此, 电路仿真结果供分析参考, 传输延迟参数应以最终芯片实测结果为准. 综合仿真结果和实测结果, 结合反熔丝 FPGA 的实际应用, 测试电路散出数典型配置推荐 $FO=4$, 当有特殊需要时, 可再调整相应散出数配置进行传输延迟参数测试.

5 结束语

本文提出了一种反熔丝 FPGA 的可配置传输延迟测试电路, 该测试电路完整移植了反熔丝 FPGA 实际应用中传输延迟参数的构成因素, 包括 IO 模块、逻辑模块、反熔丝器件、布线长度、逻辑链路长度、散出能力等. 该测试电路支持测试逻辑模块输出端散出数可配置、测试逻辑级联级数可配置和测试电路布线长度可配置, 通过不同配置能满足多种差异化测试需求. 该专用测试电路与反熔丝 FPGA 的用户电路完全隔离, 用户不可见, 不影响用户正常使用. 反熔丝 FPGA 产品交付前可对该测试电路进行独立编程测试, 用于对产品性能进行评估, 并对器件速度等级进行定级分类; 产品交付后也可随时检测传输延迟参数值, 用于产品质量跟踪.

电路仿真及硅验证实测结果表明, 该测试电路能用于多种配置条件下的反熔丝 FPGA 传输延迟参数测试, 具有良好的通用性. 该测试电路已经成功应用于一款反熔丝 FPGA 产品中, 该产品通过权威机构鉴定检验合格.

参考文献:

[1] 赵冬青, 任勇峰. 高速数字采集系统通道间信号传输延迟时间分析[J]. 测试技术学报, 2011, 25(2): 178-182.

[2] 顾梦霞. 数字通道传输延迟时间测量方法研究[J]. 计算机工程与科学, 2015, 37(10): 1825-1830.

[3] Lippe K, Kerkhoff H, Kloppers G, et al. A programmable-load CMOS ring oscillator/inverter chain for propagation-delay measurements [C]// International Conference on Microelectronic Test Structures, California, IEEE, 1989:225-226.

[4] Blaes B R, Buehler M G. Inverter propagation delay measurements using timing sampler circuits[C]// International Conference on Microelectronic Test Structures. IEEE Xplore, California, 1989:227-232.

[5] Wang X J, Kwasniewski T. Propagation Delay-Based Expression of Power Supply-Induced Jitter Sensitivity for CMOS Buffer Chain[J]. IEEE Transactions on Electromagnetic Compatibility, 2016, 58(2):627-630.

图 4 所示。

从上图可以看出,本文所提方法的支持度最高,由于本文进行数据挖掘,对数据的属性进行了充分分析,因此数据挖掘的效果较好,支持度较高。

综上所述,本文所提方法进行海量数据挖掘,挖掘消耗的时间较短,占用内存较少,且数据挖掘的支持度较高,因此本文所提方法进行数据挖掘效果较好。

4 结束语

随着大数据时代的到来,数据信息量越来越多,对海量数据进行挖掘,分析其中隐含的信息,可以提高数据的利用价值,从而提高数据利用率,针对传统方法存在的数据挖掘效率低,成本高问题,本文提出了一种基于模糊关联规则的海量数据挖掘方法,实验结果表明,使用本文所提方法进行数据挖掘,挖掘速度较快,占用内存空间较低,为该领域的研究发展创造条件。

参考文献:

[1] 李骏骁. 多层差异网络深度入侵数据挖掘方法研究[J]. 计算机仿真, 2015, 32(4): 235-238.

[2] 汤恒耀, 胡志华. 基于链距离估计的非显著特征数据挖掘算法[J]. 科技通报, 2015, 31(6): 142-144.

[3] 任高举, 白亚男. 多媒体智能教学系统中特定数据挖掘

方法研究[J]. 电子设计工程, 2016, 24(11): 4-7.

[4] 张继荣, 王向阳. 基于 XML 数据挖掘的 Apriori 算法的研究与改进[J]. 计算机测量与控制, 2016, 24(6): 178-180.

[5] 梅毅, 熊婷, 罗少彬, 等. 复杂属性环境下 NoSQL 分布式大数据挖掘方法研究[J]. 科学技术与工程, 2017, 17(9): 239-243.

[6] 陈炎龙, 段红玉. 基于改进 Hadoop 云平台的海量文本数据挖掘[J]. 湖南师范大学自然科学学报, 2016, 39(3): 84-88.

[7] 贾克斌, 李含婧, 袁野. 基于 Apriori 算法的数据挖掘在移动医疗系统中的应用[J]. 北京工业大学学报, 2017, 43(3): 394-401.

[8] 唐晓东. 基于关联规则映射的生物信息网络多维数据挖掘算法[J]. 计算机应用研究, 2015, 32(6): 1614-1616.

[9] 李永红, 张继福, 荀亚玲. 相关子空间中的局部离群数据挖掘算法研究[J]. 小型微型计算机系统, 2015, 36(3): 460-465.

[10] 宋正江, 李晓晨, SONGZheng-Jiang, 等. 基于人工蜂群的 WSN 故障数据挖掘算法[J]. 四川大学学报(自然科学版), 2015, 52(1): 51-56.

作者简介:

毛晓菊 女, (1982-), 硕士研究生, 讲师. 研究方向为数据挖掘. E-mail: meizhuan1001@163. com.

(上接第 88 页)

[6] 潘兴境. 集成电路平均传输延迟时间的两种测试方法[J]. 化工自动化及仪表, 1979, 14(4): 77-83.

[7] 朱明程, 熊元姣. ACTEL 数字系统现场集成技术[M]. 北京: 清华大学出版社, 2004.

作者简介:

杜涛 男, (1976-), 博士, 讲师. 研究方向为大规模集成电路设计与验证. E-mail: dutao@uestc. edu. cn.

李威 男, (1959-), 教授, 博士生导师. 研究方向为可编程

逻辑器件、集成电路可靠性技术.

晁醒 男, (1993-), 硕士研究生. 研究方向为大规模集成电路设计.

吴方明 男, (1991-), 硕士研究生. 研究方向为大规模集成电路设计.

吴华刚 男, (1988-), 硕士研究生. 研究方向为大规模集成电路设计.

刘丹 女, (1990-), 硕士研究生. 研究方向为大规模集成电路设计.